

▶▶ 일본공개특허 : APPARATUS AND METHOD FOR SYNCHRONOUS ACQUISITION

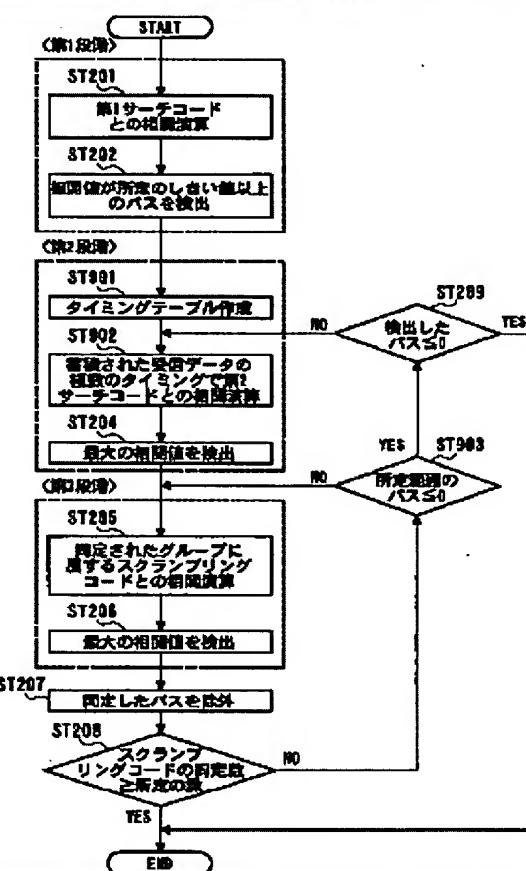
Patent Num. : 2001-358612

출원인 : MATSUSHITA ELECTRIC IND CO LTD

설명 : 효율 좋게 여러 경로의 스크램블링 코드를 분류할 수 있고, 종래와 비교하여 고속의 셀 탐색을 제공한다.

제 1 단계 프로세서105가 임계치 이상의 여러의 상관치에 대응한 여러의 슬롯 타이밍을 검출하고, 제 2 단계 프로세서110이 여러의 슬롯 타이밍 중 어느 쪽이든 1 개의 슬롯 타이밍에 따라 스크램블링 코드 타이밍 및 스크램블링 코드 그룹을 검출하고, 제 3 단계 프로세서 115가 스크램블링 코드 타이밍에 따라 스크램블링 코드를 분류하고, 제어부104가 제 1 단계 프로세서105로의 처리가 1 회 행해지는 동안 제 2 단계 프로세서110로의 처리 및 제 3 단계 프로세서115로의 처리가 여러의 슬롯 타이밍에 행해지도록 스위치103을 전환한다.

대표도



BEST AVAILABLE COPY

(19) JAPANESE PATENT OFFICE

JP

(11) Publication number (Patent number): 2001358612

(21) Application number: 2000177642

(22) Date of filing: 20000613

(51) Int. Cl H04B 1 /707
H04L 7 /00

APPARATUS AND METHOD FOR SYNCHRONOUS
ACQUISITION

(57) Abstract:

PROBLEM TO BE SOLVED: To enable efficient identification of scrambling codes of a plurality of paths and to search a cell at a faster speed than that of prior art.

SOLUTION: A first step processor 105 detects a plurality of slot timing, corresponding to a plurality of correlated values of a threshold or larger. A second step processor 110 detects scrambling code timing and scrambling code group, according to anyone slot timing of a plurality of the slot timing. A third step processor 115 identifies the scrambling code in accordance with scrambling code timing. A controller 104 switches a switch 103, so that the process of the second processor 110 and the process of the third processor 115 are conducted for the plurality of the slot timing at each time of the process in the first processor 105.

COPYRIGHT: (C)2001, JPO

五四

BEST AVAILABLE COPY

